

DN74LS445/DN74LS445S

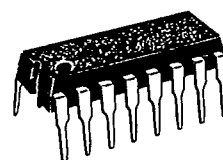
BCD to Decimal Decoders/Drivers

■ 概 要

DN74LS445/Sは、オープンコレクタ出力の2進化10進-10進デコードドライバ機能をもつ半導体集積回路です。

■ 特 徴

- 大出力電流 ($I_O=80\text{mA}$ at $V_{OL}\leq 3\text{V}$, $I_O=24\text{mA}$ at $V_O<0.5\text{V}$)
- 高出力耐圧 ($V_O>7.0\text{V}$)
- 低消費電力 ($P_d=35\text{mW typ.}$)
- 無効入力するとき、全出力が“H”になる
- 動作温度範囲が広い ($T_a=-20\sim+75^\circ\text{C}$)

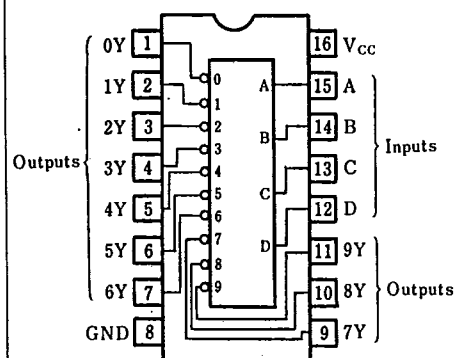


③ 16-DIP



⑧ SO-16D

ピン配置図(上面図)/Pin Assignment



■ 推奨動作条件/Recommended Operating Conditions

Item	Symbol	min.	typ.	max.	Unit
電源電圧	V_{CC}	4.75	5.00	5.25	V
出力電圧	$V_{O(off)}$			7	V
出力電流	I_{OL}			24	mA
動作周囲温度	T_{opr}	-20	25	75	$^\circ\text{C}$

T-51-17

■ DC特性/DC Characteristics ($T_a = -20 \sim +75^\circ\text{C}$)

Item	Symbol	Condition	min.	typ.*	max.	Unit
入力電圧	V_{IH}		2.0			V
	V_{IL}				0.8	V
出力電流	I_{OH}	$V_{CC}=4.75\text{V}$, $V_{IH}=2\text{V}$ $V_{IL}=0.8\text{V}$, $V_{OH}=7\text{V}$			250	μA
出力電圧	V_{OL}	$V_{CC}=4.75\text{V}$ $V_{IH}=2\text{V}$ $V_{IL}=0.8\text{V}$	$I_{OL}=12\text{mA}$	0.25	0.4	V
			$I_{OL}=24\text{mA}$	0.35	0.5	V
			$I_{OL}=80\text{mA}$	1.6	3.0	V
入力電流	I_{IH}	$V_{CC}=5.25\text{V}$ $V_I=2.7\text{V}$			20	μA
	I_{IL}	$V_{CC}=5.25\text{V}$ $V_I=0.4\text{V}$			-0.4	mA
	I_I	$V_{CC}=5.25\text{V}$ $V_I=7\text{V}$			0.1	mA
入力クランプ電圧	V_{IK}	$V_{CC}=4.75\text{V}$ $I_I=-18\text{mA}$			-1.5	V
電源電流 **	I_{CC}	$V_{CC}=5.25\text{V}$		7	13	mA

* $V_{CC}=5\text{V}$, $T_a=25^\circ\text{C}$ 一定の場合。

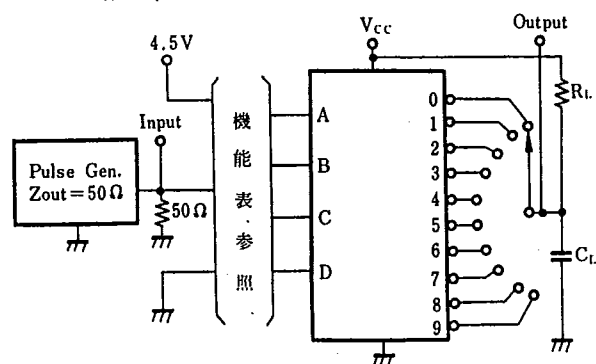
** 全入力をGNDにし、全出力を開放。

■ スイッチング特性/Switching Characteristics ($V_{CC}=5\text{V}$, $T_a=25^\circ\text{C}$)

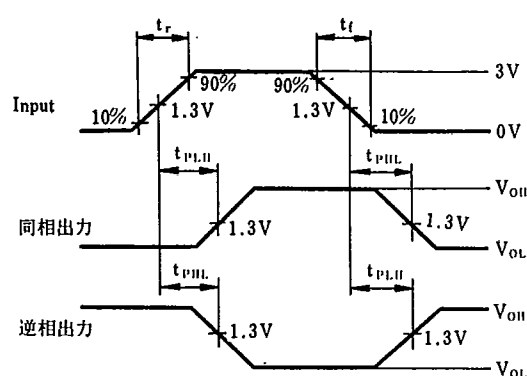
Item	Symbol	Condition	min.	typ.	max.	Unit
伝搬遅延時間	t_{PLH}	$C_L=45\text{pF}$			50	ns
	t_{PHL}	$R_L=665\Omega$			50	ns

※ スイッチング特性測定方法/Switching Parameter Measurement Information

1. 測定回路/Measurement Circuit

注) 1. C_L はプローブ、治具浮遊容量を含む。

2. 波形/Switching Waveforms

注) 1. 入力波形: $t_r \leq 15\text{ns}$, $t_f \leq 6\text{ns}$, $\text{PRR}=1\text{MHz}$
duty cycle 50%

T-51-17

■ 機能表 / Function Table

No	Input				Output									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

注) 1. H : Highレベル。
2. L : Lowレベル。

■ ロジック図 / Logic Diagram

